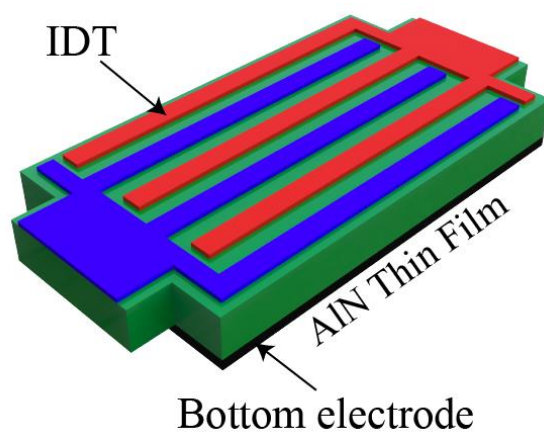


上科大氮化铝共享科研服务平台

ShanghaiTech AlN MPW Platform (STAMP)



Version 1.5

上科大信息学院吴涛

2024 年 9 月

1. 总体介绍

上海科技大学信息学院后摩尔集成器件与集成系统研究中心微系统与先进传感器实验室（SMALL）联合器件中心现推出面向高校和科研院所的上科大氮化铝共享工艺平台（STAMP），以期共同推进压电微纳器件方向的发展。

目前推出的共享工艺平台示意图如下：

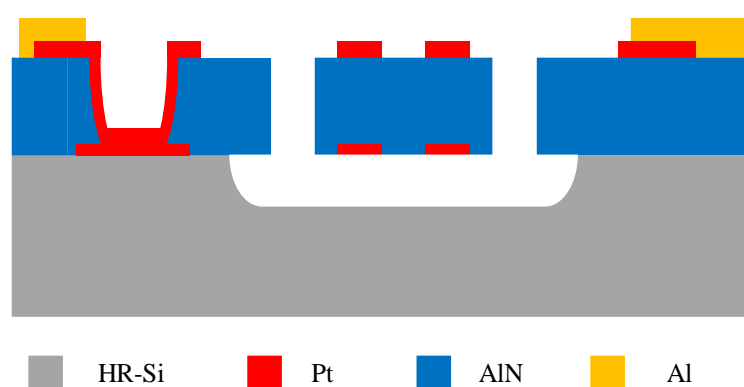


Figure 1 Process Cross-Sectional View

图 1. 工艺截面图（非比例）

2. 工艺细节

起始为 $500\ \mu\text{m}$ 左右厚度的 4-inch 高阻硅，采用剥离工艺沉积 $10\ \text{nm Ti}/100\ \text{nm Pt}$ 作为下电极（BE），磁控溅射沉积 $400\ \text{nm}$ 或者 $1\ \mu\text{m AlN}$ 薄膜，湿法刻蚀 AlN 形成到下电极的通孔（VIA），使用 ICP 各向异性刻蚀 AlN 到体硅衬底，图形化谐振器主体结构以及释放孔（ICP）；沉积并图形化 $10\ \text{nm Ti}/100\ \text{nm Pt}$ 作为上电极（TE），沉积并图形化 $200\ \text{nm Al}$ 作为布线层（PAD），最后使用 XeF_2 各向同性刻蚀体硅释放器件结构。

Table 1 Layer Material, thickness and Mask Level Information

表 1 各层材料、厚度与掩膜版名称

Material Layer	Thickness (μm)	Lithography Level & CIF Name	GDS #	Purpose	Comments
Substrate	500~550	NA		High Resistive Silicon	>10000 Ω.cm
Bottom Electrode	0.1	BE	1	Define Bottom Electrode	10 nm Ti / 100 nm Pt
AlN Film	0.5 or 1	NA		Piezoelectric film	Sputtering
		VIA	2	Interconnects between BE & TE	Wet isotropic etch
Top Electrode	0.1	TE	3	Define Top Electrode	10 nm Ti / 100 nm Pt
		ICP	4	Define device structure	Anisotropic etch
Probing Pad	0.2	PAD	5		200 nm Al

Note: 氮化铝薄膜默认厚度为 1000 nm

上电极和 Pad 可以有两种方案:

方案 1: 选择 Al 为上电极, 可以只选用 PAD (#5)。

方案 2: 选择 Pt 为上电极, 采用 TE (#4), 然后 PAD (#5) 为 Al;

2.1 AlN thin film properties 氮化铝 AlN 薄膜材料特性

	Item 项目	Spec 规格
AlN Thin Film 氮化铝薄膜	AlN Thickness 厚度	0.5 or 1μm (+/- 5%)
	AlN Stress 应力	+/- 200 MPa
	AlN Orientation 晶相	<0002>
	AlN Piezoelectricity d33	5.0~5.5 pC/N
	AlN Rocking Curve 半峰宽	<1.5°

2.2 Simplified Process Flow 简化工艺流程图

1. 图形化下电极 Pt



2. 沉积氮化铝(AIN)



3. 湿法刻蚀 AIN 通孔Via



4. 沉积并图形化上电极



5. ICP刻蚀AIN



6. 沉积PAD + XeF₂释放



a) 标准工艺流程;

6a. 沉积并图形化上电极和Pad



6b. XeF₂释放器件结构



b) 直接使用 PAD#5 (200 nm Al) 作为 上电极和布线
(注: 工艺流程无变化, 只是不使用 GDS#3);

图 2.工艺流程图

2.3 Layer Level Design Rules

Table 2 Layer Level Design Rules

表 2 各光刻层设计规则

CIF level name	GDS level number	Min. feature (μm)	Min. space (μm)	Max. feature length (μm)
BE	1	2 (1.5)*	2(1.5)*	Unlimited
VIA	2	5	10	100**
TE	3	2 (1.5)*	2(1.5)*	Unlimited
ICP	4	10 (5)*	10 (5)*	100**
PAD	5	2*	2*	Unlimited
* features in () are possible, but no guarantee				
**Large VIA & ICP etch size is NOT recommended				

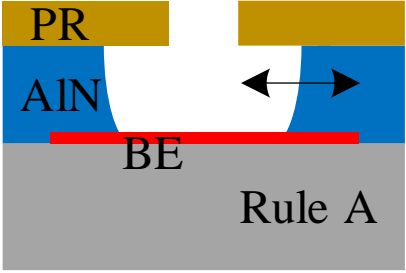
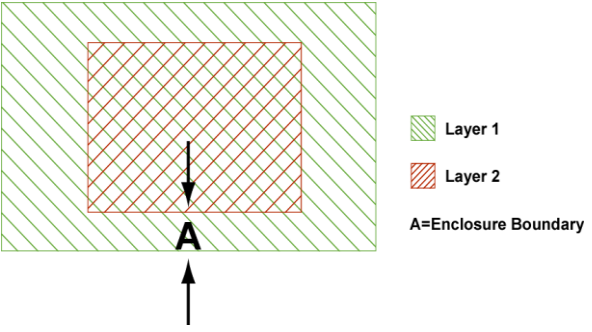

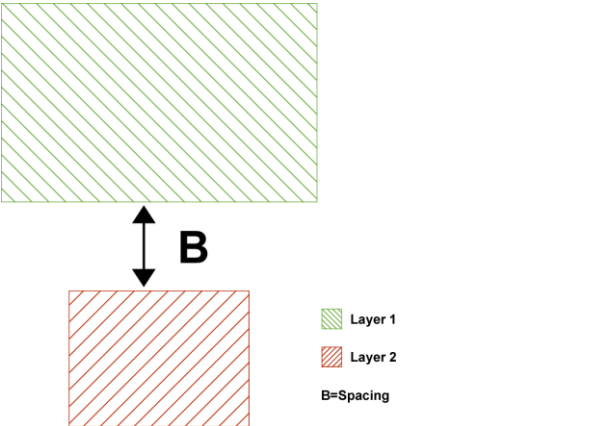
2.4 Level to Level Design Rules

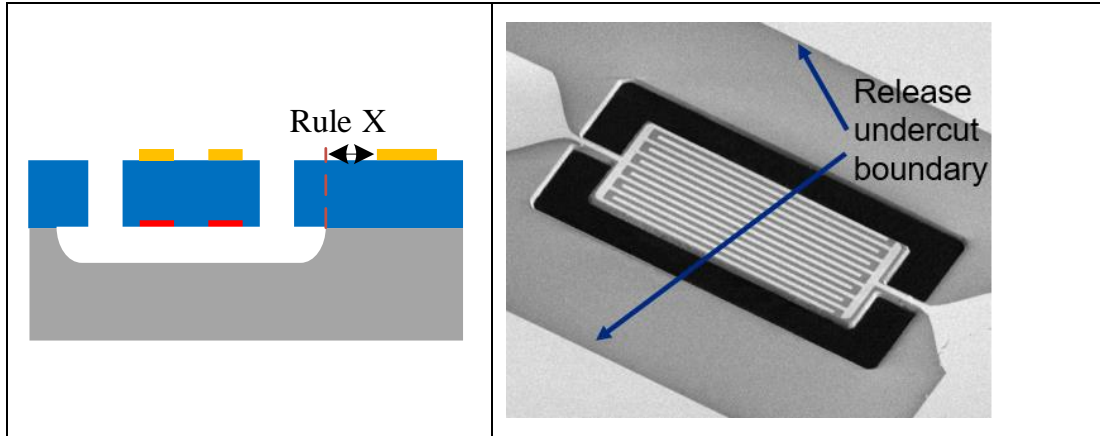
Table 3 Level to Level Design Rules

表 3 不同光刻层之间设计规则

Rule	Rule Letter	Min. Value (μm)
BE enclose VIA	A	10
TE enclose VIA	A	10
BE space to ICP	B	1.5*
TE/Pad space to ICP	B	1.5*
Probe Pads space to the release boundary	X	User Design (max < 100)
* 1.5 μm space is possible, but no guarantee		

Details 具体说明:

<p style="text-align: center;">Via feature</p> 	
<p>Rule A ensures the Via undercut is within the BE (Bottom Electrode) area; 保证通孔湿法刻蚀总面积不大于底电极面积;</p>	
	
<p>Rule B ensures the ICP AlN etching step won't etch the bottom metal, and the top metal won't be deposited into the release hole/trench; 保证AlN ICP刻蚀区域没有金属影响;</p>	



Rule X ensures the Probe Pads are on solid substrate rather than on suspended membranes. User should have an estimation of the release undercut based on the XeF_2 isotropic etching and the dimension of device releasing area. 保证器件释放区域的边界在合理范围。

3. 其他事项

3.1 版图设计面积

每一个 die size $15 \times 15 \text{ mm}^2$, 考虑到切割损耗, 版图有效面积需要考虑切割和一定裕量的去边, 建议去边单侧至少 0.5 mm , 即器件建议放置在 $14 \times 14 \text{ mm}^2$ 的区域。

3.2 版图格式

支持 GDS, DXF 和 CIF, 建议采用 GDS 格式提交。

3.3 器件最大释放半径

此 MPW 工艺没有固定释放边界, 即空腔 cavity 边界由释放时间决定。可以每个独立 die 采用不同的释放策略。若共享统一释放, 建议器件**最大释放半径**不超过 $60 \mu\text{m}$, 请合理设计**最大释放边缘**到扎针 Probing Pad 区域, 通孔 VIA 和其他**重要结构**的间距。